

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246482

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 E
21/8242			G 1 1 C 11/34	3 6 2 B
G 1 1 C 11/401				3 7 1 K
			H 0 1 L 27/10	6 8 1 B
				6 8 1 G

審査請求 未請求 請求項の数10 O L (全 17 頁)

(21) 出願番号 特願平8-45712

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 藤井 康宏

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

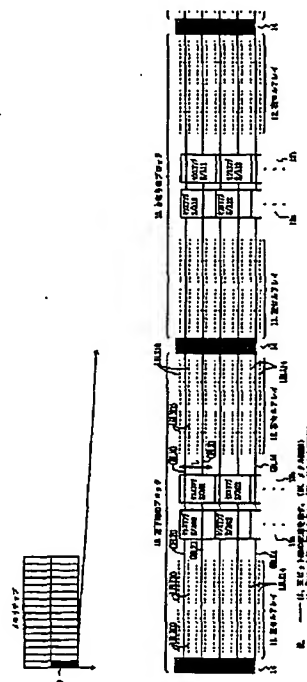
(74) 代理人 弁理士 土井 健二 (外1名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 階層ビット線方式のメモリを最適なスペース効率でレイアウトする。

【解決手段】 行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、グローバルビット線に従属し、列方向で複数の分割され、一本のグローバルビット線に対して行方向に2本ずつ配置されたローカルビット線と、ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、2本のグローバルビット線のピッチに整合する領域内に形成され、列方向の両側に配置される一対のグローバルビット線の信号がそれぞれ供給される複数のセンスアンプとを有し、センスアンプの領域は2列になっている半導体記憶装置。



【特許請求の範囲】

【請求項 1】行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、該グローバルビット線に従属し、該列方向で複数に分割され、一本のグローバルビット線に対して該行方向に複数本ずつ配置されたローカルビット線と、前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、所定複数本のグローバルビット線のピッチに整合する領域内に形成され、該列方向の両側に配置される一対のグローバルビット線の信号がそれぞれ供給される複数のセンスアンプとを有することを特徴とする半導体記憶装置。

【請求項 2】請求項 1 記載の半導体装置において、前記センスアンプが形成される領域は、該列方向に重複して配置され、該センスアンプは対応する両側の前記グローバルビット線対の信号が供給されることを特徴とする。

【請求項 3】請求項 1 または 2 記載の半導体記憶装置において、前記センスアンプは、前記グローバルビット線の信号が入力に供給され、該入力信号を増幅する読み出し用アンプと、該読み出し用アンプの出力信号が入力に供給され、出力が前記グローバルビット線を駆動する書き込み用アンプとを有することを特徴とする。

【請求項 4】請求項 1 または 2 記載の半導体記憶装置において、前記センスアンプは、前記グローバルビット線の信号が入力に供給され、該入力信号を増幅する読み出し用アンプと、該読み出し用アンプの出力信号が入力に供給され、出力が前記グローバルビット線を駆動する書き込み用アンプと、該読み出し用アンプの出力と該書き込み用アンプの入力との間に設けられ、両アンプを分離可能なトランスファークロウとを有し、該書き込み用アンプの入力端子がクロウゲートを介してデータバス線に接続されることを特徴とする。

【請求項 5】請求項 3 または 4 記載の半導体記憶装置において、前記メモリセルの情報を読み出す時に、該読み出し用アンプが先に活性化され、それに遅れて該書き込み用アンプが活性化されることを特徴とする。

【請求項 6】請求項 4 記載の半導体記憶装置において、前記メモリセルへの情報の書き込み時に、前記トランスファークロウを閉じて、該読み出し用アンプと書き込み用アンプとを分離することを特徴とする。

【請求項 7】請求項 1 または 2 記載の半導体記憶装置において、

前記グローバルビット線は、半導体基板上であって、前記ローカルビット線より上層に設けられた配線層で形成されることを特徴とする。

【請求項 8】行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、該グローバルビット線に従属し、該列方向で複数に分割され、一本のグローバルビット線に対して該行方向に二本ずつ配置されたローカルビット線と、前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、二本のグローバルビット線のピッチに整合し、該列方向に二列に重複して配置される領域内に形成され、該列方向の両側に配置される一対のグローバルビット線の信号がそれぞれ供給される複数のセンスアンプとを有することを特徴とする半導体記憶装置。

【請求項 9】請求項 8 記載の半導体記憶装置において、前記グローバルビット線は、半導体基板上であって、前記ローカルビット線より上層に設けられた配線層で形成されることを特徴とする。

【請求項 10】行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、該グローバルビット線に従属し、該列方向で複数に分割され、一本のグローバルビット線に対して該行方向に二本ずつ配置されたローカルビット線と、前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、所定複数本のグローバルビット線のピッチに整合し、該列方向に前記所定複数より少ない複数列に重複して配置される領域内に形成され、該列方向の両側に配置される一対のグローバルビット線にビット線選択用ゲートを介してそれぞれ接続される複数のセンスアンプとを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体記憶装置にかかり、特にビット線とセンスアンプのレイアウトの改良に関する。

【0002】

【従来の技術】近年における半導体装置、特にダイナミック・ランダム・アクセス・メモリ (DRAM) は、大容量化に加えてシンクロナス DRAM、ラムバス DRAM、ハイパーページモード DRAM 等にみられるようにより高速化の方向が要求されている。大容量化に伴うメモリ素子やビット線、ワード線の微細化がますます進み、また高速化に伴いセンスアンプ回路等の複雑化も必要になってくる。

【0003】図 17 は、従来から一般的に知られている折り返しビット線方式におけるビット線、ワード線、メモリセル及びセンスアンプのレイアウトを示す回路図である。図 17 は、メモリブロック 10 内の 2 つのコラム

を示している。メモリブロック10内の中央部にセンスアンプ部13が配置され、その両側にそれぞれ一对のビット線BLZ0, BLX0が延びて配置される。そして、ビット線に交差して複数のワード線WL0-2mが設けられる。ビット線とワード線の交差部にはメモリセルMCが適宜配置される。14は、ビット線をリセット時に基準電圧VRに設定するためのリセット回路であり、BLT0, 1はビット線をセンスアンプSA00, SA01に接続するためのトランスファートランジスタを導通させるクロックである。

【0004】図18は、図17の折り返しビット線方式でレイアウトしたメモリのより拡大した概略図である。図18では、2つのメモリブロックを示しており、図17と同一部分には同一の符号を付した。図17, 18に示される通り、折り返しビット線方式の場合は、一对のビット線を平行に配置し、その平行に配置したビット線対をセンスアンプ回路に接続し、一方のビット線の電位を増幅する時に他方のビット線の電位をそのレファレンス電位として利用している。こうすることで、読み出し時にノイズに強い構造とすることができる。

【0005】このような折り返しビット線方式でメモリセルをレイアウトした場合、センスアンプSA00に接続されるビット線対BLZ0, BLX0とワード線WL0-WL2mに対するメモリセルのレイアウトは、1本のワード線WLに接続されるメモリセルは2本のビット線毎に1個となるように行なわれる。例えば、ワード線WL0に接続されるメモリセルMCは、2本のビット線BLZ0, BLX0に対してビット線BLZ0側にしか配置されない。これは、センスアンプに接続されるビット線対のうち1本のワード線で選択されるメモリセルMCは1個になる必要があるからである。その結果、折り返しビット線方式でレイアウトすると、メモリセルの配置は、所謂千鳥格子状になることが知られている。このようなレイアウトは、メモリセル領域のサイズとビット線やワード線のピッチを考慮した場合に、非常にスペース効率が良い。

【0006】ところが、より大容量化が進み、それに伴いより微細化が進むと、ビット線の抵抗や負荷容量が極めて大きくなり、高速化の妨げになってくる。前述の如く、大容量化と高速化はいずれも要求されるため、微細化を進めた結果高速化の妨げになるのは好ましくない。そこで、ビット線の抵抗や負荷容量の増大に伴う問題点を解決する手段として、階層化ビット線方式が考案されている。

【0007】図19は、本願出願人が平成6年11月28日に出願（特願平6-293050）した本発明に対応する関連技術を示す回路図である。図19は、階層化ビット線方式で折り返しビット線方式のレイアウトの例である。コラム方向に延びるビット線を複数のローカルビット線LBLに分割し、そのうちの1本のローカルビ

ット線をグローバルビット線GBLZ, GBLXにローカルビット線選択用トランジスタTGを介して接続するようにしている。そして、グローバルビット線をタングステンやアルミニウム等の低抵抗の金属材料で形成し、ローカルビット線をより下層のポリシリコン等により形成する。その結果、センスアンプに接続されるビット線の総抵抗と総容量を少なくし、その分センスアンプの負荷容量及び抵抗を少なくし、よって高速の読み出しと書き込みを可能にしている。

【0008】

【発明が解決しようとする課題】しかしながら、かかる階層化ビット線方式の場合でも、大容量化を進めるに伴い微細化を進めていくと、種々の問題が発生する。

【0009】第一に、グローバルビット線は通常低抵抗の金属材料で形成されるため微細加工に不向きであり、配線幅が大きくなりがちである。その一方で、大容量化の為にローカルビット線の幅を小さくしそのピッチを短く（間隔を狭く）することが必要である。ところが、図19に示した構成でローカルビット線を1本のグローバルビット線に対して2列配置すると、メモリセルを上記した如く千鳥格子状にして密に配置させることが出来なくなる。即ち、上記した2本のビット線に1個のメモリセルというレイアウトができないのである。これは、センスアンプに接続される1本のビット線に接続される選択メモリセルは1個であるという大前提があるからである。

【0010】第二に、グローバルビット線は、その配線幅が大きくなりがちではあるものの、その絶対的な幅はより小さくなる傾向にある。その為、グローバルビット線のピッチとセンスアンプ回路のピッチとがアンバランスになり、グローバルビット線に対してセンスアンプ列の配置のスペース効率が悪くなる。しかも、センスアンプ回路は高速化の為に複雑になる傾向にあり、その場合もセンスアンプ回路のスペースとビット線のピッチとの間にアンバランスが生じる。

【0011】そこで、本発明の目的は、上記の問題点を解決することであり、特に、高速化の為に必要な階層化ビット線方式のDRAMを最適なスペース効率でレイアウトすることができる構造を提供することにある。

【0012】また、本発明の別の目的は、階層化ビット線方式のDRAMにおいて、1本のグローバルビット線に対して2列のローカルビット線を接続可能なレイアウトを実現することができる構造を提供することにある。

【0013】更に、本発明の別の目的は、センスアンプ回路のピッチを2本またはそれ以上のグローバルビット線のピッチに整合させることにより、センスアンプ回路の構成をより高速化に適したものにすることができる構造を提供することにある。

【0014】

【課題を解決するための手段】上記の目的は、本発明に

よれば、行方向に延びる複数のワード線と、列方向に延びる複数のグローバルビット線と、該グローバルビット線に従属し、該列方向で複数の分割され、一本のグローバルビット線に対して該行方向に複数本ずつ配置されたローカルビット線と、前記ワード線とローカルビット線の交差部に設けられた複数のメモリセルと、所定複数のグローバルビット線のピッチに整合する領域内に形成され、該列方向の両側に配置される一対のグローバルビット線の信号がそれぞれ供給される複数のセンスアンプとを有する半導体記憶装置を提供することにより達成される

即ち、ビット線の構成は、グローバルビット線とそれに従属する 2 列のローカルビット線からなる階層ビット線方式になり、通常上層に配置され線幅が太くなる傾向のグローバルビット線と通常下層に配置され線幅が細くなる傾向のローカルビット線の整合が良くなる。そして、複数のグローバルビット線のピッチとセンスアンプの領域のピッチとが整合し、より密に配置されるローカルビット線に対応できるセンスアンプの領域を確保することができる。しかも、センスアンプは両側の一対のグローバルビット線の信号を増幅するので、より安定した増幅機能を有する。

【0015】更に、上記の如くセンスアンプの領域に余裕があることから、その回路を、グローバルビット線の信号が入力に供給され、該入力信号を増幅する読み出し用アンプと、該読み出し用アンプの出力信号が入力に供給され、出力が前記グローバルビット線を駆動する書き込み用アンプと、該読み出し用アンプの出力と該書き込み用アンプの入力との間に設けられ、両アンプを分離可能なトランスファークロウとを有し、該書き込み用アンプの入力端子がコラムゲートを介してデータバス線に接続されるよう構成することが容易にできる。

【0016】かかるセンスアンプ構成であれば、読み出し時に読み出し用のセンスアンプが比較的大容量のグローバルビット線等を駆動する必要がなく、高速読み出し、省電流消費を可能にする。また、書き込み時に読み出し用アンプと書き込み用アンプとを分離することで、データバス線に接続される書き込みアンプとセンスアンプ内の読み出し用アンプとの競合をなくすることができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面に従って説明する。しかしながら、本発明の技術的範囲が、以下の実施の形態の説明や図面等によって限定的に解釈されるものではない。

【0018】【基本的なレイアウト】図 1 は、本発明の基本的なレイアウトを示す図である。詳細な実施の形態を説明する前に、図 1 に従ってその基本的なレイアウトの概念について説明する。メモリが形成されるチップ 100 は、複数のメモリブロック 10 からなる。そして、

その各メモリブロック内に、ワード線とビット線及びその交差部のメモリセル、そしてセンスアンプ回路等がそれぞれ形成される。図 1 では、ふたつのメモリブロック 10 が拡大して示されている。簡単の為にワード線とメモリセルは省略されている。

【0019】左下端のブロック 10 を例にして説明すると、ビット線は、グローバルビット線 GBLZ、GBLX と、それに従属する複数のローカルビット線 LBLZ、LBLX の階層構造になっている。そして、左右のセルレイ 11、12 に延びるグローバルビット線 GBLZ、GBLX がそれぞれ共通のセンスアンプ 13a、13b に接続される。センスアンプ回路 13a、13b は、コラム方向に 2 列に形成されている。従って、センスアンプ回路は 2 本のグローバルビット線のピッチ L に整合したサイズになっている。その結果、グローバルビット線対 GBLZ0、GBLX0 はセンスアンプ回路 13a 側に接続される。また、その隣のグローバルビット線対 GBLZ1、GBLX1 はセンスアンプ回路 13b 側に接続される。尚、14 はビット線のリセット回路である。

【0020】このように、センスアンプ回路 13a、13b は、所謂リラックスセンスアンプ方式のレイアウトとなっている。グローバルビット線 2 本分の幅 L とセンスアンプ回路の幅が整合するようになっている。そして、センスアンプ回路を 2 列にレイアウトしている。従って、ローカルビット線 4 本分の幅とセンスアンプ回路の幅が整合するようになる。そういう意味では、図 17 に示した従来の一般的な折り返しビット線方式のレイアウトに比較すると、センスアンプ回路の幅は 2 倍になることになる。従って、メモリセルのレイアウト効率を高く保ちながらより大容量化に対応することができる。

【0021】図 2 は、図 1 のビット線の 1 コラム分を拡大して表した概略回路構成図である。また、図 3 は、更に部分的に拡大した回路構成図である。これらは回路図ではあるが、同時にそれぞれのレイアウトも示す図となっている。それぞれの対応する部分には同様の引用番号を付している。

【0022】図 2 では、グローバルビット線 GBLZ0、GBLX0 に対して、ローカルビット線がそれぞれ 2 列配置されていることになる。論理的には、上下に対応するローカルビット線は同一のものになるので、図 2 の例では、ローカルビット線は 1 つのグローバルビット線に対して 2 分割されている。例えば、セルレイ 11 の場合で説明すると、ローカルビット線 LBLZ00 と LBLZ10 とに論理的に分割されている。それぞれのローカルビット線は上下に 2 列に配置されている。しかし、ローカルビット線選択トランジスタ TG0、TG1 によって同時にグローバルビット線 GBLZ0 に接続される。φs0、φs1 は、選択トランジスタ TG0、TG1 を導通させるためのクロック信号である。従って、

読み出しまたは書き込み時には、選択されたメモリセルが属するローカルビット線が選択トランジスタTGの導通によりグローバルビット線に接続される。その結果、センスアンプ回路につながるビット線全体の負荷容量、抵抗は軽減される。

【0023】図3は、さらに拡大した回路構成図である。図3では、2コラム分のビット線が示されている。2つのセンスアンプ回路SA00, SA01に右側のセルアレイ11内のグローバルビット線GBLZ0, GBLZ1がそれぞれ接続される。また、左側のセルアレイ12内のグローバルビット線GBLX0, GBLX1もそれぞれセンスアンプ回路SA00, SA01に接続される。図3では4本のワード線WLとそれに接続されるメモリセルMCとが示されている。1本のビット線内で1本のワード線で選択されるメモリセルは1個になるという規則に従って、例えばワード線WL0に接続されるメモリセルMCは、上下のローカルビット線LBL10, またはLBL11の内下側のローカルビット線に接続される。その結果、ワード線WL0が選択され、ローカルビット線選択トランジスタTGが導通した場合は、1個のメモリセルMCのみがグローバルビット線GBLZ0を介してセンスアンプ回路SA00に接続される。

【0024】図3でも示す通り、2本のグローバルビット線幅、即ち4本のローカルビット線幅Lとセンスアンプ回路の幅が接合している。その分、センスアンプ回路のスペースは余裕が生じることになる。また、右側のセルアレイ12内のグローバルビット線GBLX0は、13b側のセンスアンプ回路SA01の上を通過して13a側のセンスアンプ回路SA00に接続されている。これは、ビット線を階層構造にしたことで容易になる。

【0025】図4, 5, 6はビット線の階層構造について概略的に示したそれぞれ断面図、平面図、及び断面図である。図4では、半導体基板102上のメモリセルMC、センスアンプSA、ワード線WL、ローカルビット線LBLZ10、グローバルビット線GBLZ0, GBLX0の階層構造を概略的に示している。各メモリセルMCはワード線がゲートになるトランジスタと容量C_{cell}から構成されるのは、一般的である。各メモリセルMCは、先ず下層のローカルビット線LBLZ10に接続され、そのローカルビット線は図示されない選択トランジスタを介して上層のグローバルビット線GBLZ0と接続される。従って、センスアンプ回路SA00, SA01の領域は、グローバルビット線の下に位置することになり、構成上なんら支障はない。従って、階層ビット線構造はリラックスセンスアンプ方式のレイアウトに適している。

【0026】図5は、グローバルビット線とローカルビット線の関係を示す平面図であり、図6はその断面図である。両図から明らかな通り、半導体基板102上に形成される階層式のビット線は、例えばタングステンやア

ルミニウム等の低抵抗の金属材料によって上層側に形成されるグローバルビット線GBLと、ポリシリコン材料等のように比較的高抵抗ではあるが微細加工が可能な下層側の配線層により形成されるローカルビット線LBLから構成される。そして、本発明によれば、1本のグローバルビット線GBLの下層に、2本のローカルビット線LBLを配置するようにしている。そして、センスアンプ回路の領域の幅Lは、グローバルビット線の幅L_gの約2倍に相当し、その幅L_gはローカルビット線の幅L_lの約2倍に相当する。こうすることにより、大容量化の要求から決まるメモリセルの密度に従ってローカルビット線を配置することができる。そして、グローバルビット線は緻密に配置された2本のローカルビット線に対して1本の割合で配置される。また、前述の通りセンスアンプ回路は、2本のグローバルビット線に対して1個の割合で配置される。

【0027】[第一の実施の形態] 図7は、上記のレイアウト概念に従う具体的なメモリの回路例である。図中には、メモリブロック10のうち左側のセルアレイ11、センスアンプ部13a, 13b及びビット線リセット回路14が詳細に示されている。センスアンプ部の右側に位置するセルアレイ12は、紙面の都合上省略されている。図1, 2, 3で示した各部に対応する部分には同様の引用番号を付している。図7の回路例は、グローバルビット線GBLに対してm分割されたローカルビット線LBLが設けられている点で、図1, 2, 3とは異なる。図中、理解し易くする為に、グローバルビット線GBLは実線で示し、ローカルビット線LBLは破線で示した。それぞれのローカルビット線LBLは、ビット線選択信号クロック $\phi_{s0} - \phi_{sm-1}$ により導通される選択トランジスタTGを介して、それぞれが従属するグローバルビット線GBLに接続される。

【0028】メモリブロック10の中央部に2列に配置されるセンスアンプSAは、それぞれ一例として、1対のCMOS回路の入出力を互いに交差接続された差動増幅回路で構成され、1対のCMOS回路はそれぞれ両側のグローバルビット線に接続されている。また、センスアンプSAは、コラムゲートトランジスタCGZ, CGXを介してデータバス線DBZ0, DBX0に接続される。また、データバス線DBZ0, DBX0は図示しない出力回路及び書き込みアンプに接続される。

【0029】図8は、図7のメモリの読み出し動作を説明するための信号波形図である。この信号波形図では、左側のセルアレイ11内のグローバルビット線GBLZ00に属するローカルビット線LBLZ00に接続されるメモリセルから"1" (Hレベル)を読み出す場合について示している。

【0030】先ず、図8に従って読み出し動作について説明する。/RAS信号がHレベルのスタンバイ期間の間、ビット線リセット信号であるクロック ϕ_B が立ち上

がり、それぞれのトランスファートランジスタTRが導通する。その結果、グローバルビット線GBLとローカルビット線LBLとが、電源Vccまたは内部で生成された内部電源電圧Viiとグラウンド電位Vssとの中間の基準電圧電位VRにプリチャージされる。そこで、RAS信号が立ち下がってから、クロックφBが立ち下がり、アクティブ期間となる。

【0031】 先ず、左側のセルアレイ11内において、ローカルビット線選択信号であるφs0-φm-1の内、一つが電源電圧Vccまたは内部電源電圧Vii以上に立ち上げられ、他はグラウンド電位Vssに立ち下げられる。その結果、選択されたローカルビット線LBLはトランジスタTGを介してグローバルビット線GBLに接続され、ローカルビット線LBLの電位は十分に高いクロック信号φsによりグローバルビット線GBLと同じ電位になる。一方、非選択のローカルビット線は、グローバルビット線から分離される。この時、左側のセルアレイ12内でも、同様にローカルビット線選択信号を1本立ち上げても良いし、立ち上げなくても良い。これは、左側のセルアレイ11内のローカルビット線選択信号の一斉上下動に対して、右側も同様に動作させることにより、左右のビット線のバランスをとるには適している。

【0032】 その後、選択されたワード線WLがグラウンド電位から電源電位よりも高いレベルまで立ち上げられる。その結果、今左側のメモリセルの"1"を読みだそうとしているので、その"1"情報により、左側のグローバルビット線は僅かな電圧だけ、メモリセルの容量とビット線の容量の比に従って上昇する。一方、右側のメモリセル12では、ワード線は立ち上がり、ビット線の電圧は基準電圧VRのままである。

【0033】 そこで、グローバルビット線GBLZ00とその相補信号線のGBLX00間にセンスアンプが増幅できるだけの差電圧が生じた後に、センスアンプSAが活性化される。具体的には、Nチャネル側センスアンプドライブ信号NSAを基準電圧VRからグラウンド電位Vssに立ち下げ、Pチャネル側センスアンプドライブ信号PSAを基準電圧VRから電源電圧VccまたはViiまで立ち上げる。その結果、グローバルビット線GBLZ00、GBLX00とローカルビット線LBLZ00、LBLX00とをそれぞれ電源電圧VccまたはVii及びグラウンド電位Vssに引き上げ、及び引き下げる。

【0034】 このセンスアンプの増幅動作の時、センスアンプに接続されるビット線の総抵抗及び総容量が、階層ビット線方式であるので、図17に示した従来の構成よりも、小さいので、図8中に示した時間tを短くすることができる。即ち、ワード線WLの立ち上がりからビット線対にセンスアンプが増幅できる程度の差電圧が生じるまでの時間tが、短くなる。また、時間t後におい

て、センスアンプ回路がドライブするビット線対の総容量も少ない為に、センスアンプ回路により増幅時間も短くできる。その結果、センスアンプ回路を流れる貫通電流を減らすことができ、消費電流の低下につながる。また、同時にビット線の充放電電流も減らすことができる。

【0035】 センスアンプ回路が両ビット線対を増幅した後に、コラム選択信号CLが立ち上がり、コラムゲートトランジスタCGZ、CGXを導通させ、メモリセルの"1"情報がデータバス線DBZ0、DBX0に伝えられる。そして、図示しない出力回路から外部に出力される。

【0036】 一方、図9は同じメモリセルに"0"を書き込みする場合の動作を説明するための信号波形図である。書き込み動作の場合でも、ビット線にプリチャージしてローカルビット線選択信号の駆動、ワード線の立ち上げ、センスアンプの活性化は読み出しの時と同等である。これは、書き込まれないメモリセルに対するワード線も立ち上がるので、その再書き込みのためである。そして、センスアンプ回路が活性化してビット線対の差電圧を増幅した後で、コラム選択信号CLを立ち上げて、コラムゲートトランジスタCGZ、CGXを導通し、図示しない書き込み回路から"0"を書き込む為の電圧の信号がデータバス経由でビット線に供給され、メモリセル内の情報が"0"に変更される。この書き込みの時も、ビット線の総容量が少ない為、その負荷が軽く短時間での書き込みが可能になる。

【0037】 [第二の実施の形態] 上記した第一の実施の形態では、そのセンスアンプ回路は一对のCMOSインバータの入力と出力を交差接続させた一般的な構成である。これを簡略化して示すと図10の如くなる。センスアンプ回路SAは、一对のCMOSインバータ20Z、20Xから構成され、その入力にそれぞれのグローバルビット線が接続され、その出力がそれぞれの他方のインバータの入力に接続されている。かかる構成にすることで、常に相補信号であるビット線対の電圧を利用しながら自らのビット線電位を増幅することで安定的な動作が期待される。しかし、かかる回路構成では、センスアンプ回路が大きな負荷容量を持つビット線を駆動する必要があり、増幅動作に時間がかかる。また、反対情報を書き込みする時には、図示しない書き込みアンプがデータバス線DBZ、DBXを介して、センスアンプSAと競合しながら反転信号をビット線対に供給する必要がある。

【0038】 更に、本発明の如きオープンビット線方式は、折り返しビット線方式に比較して一般的にノイズに弱いという特性を持っている。そこで、第二の実施の形態では、かかる点を補い、多少のノイズが発生しても確実にビット線対の電位を増幅し、また書き込みも高速に行なうことができるようにした。

【0039】図11は、第二の実施の形態のセンスアンプ回路部分の概略図である。この例のセンスアンプ回路では、一対のCMOSインバータ20Z, 20Xの出力を更に追加したトリステートインバータ21Z, 21Xの入力に接続し、それらの出力をおのおのビット線GBLZ, GBLXに返すようにしている。更に、CMOSインバータとトリステートインバータの間にトランスファークロップ用のトランジスタTN6, TN7を設けて、適宜両インバータを分離することができるようにする。COMSインバータ20Z, 20Xは読み出し用アンプとしての機能を持ち、トリステートインバータ21Z, 21Xは再書き込み用アンプとしての機能を持つことになる。

【0040】その動作について簡単に述べると、読み出し時には、グローバルビット線GBLZ, GBLXの差電圧を一対のCMOSインバータからなる作動増幅器により増幅する。この時、それぞれのCMOSインバータの出力端子n0, n1にはビット線の負荷容量が接続されておらず、極めて軽い出力負荷となり、高速に差電圧を増幅することができる。従って、多少のノイズがあってもビット線間の差電圧を適切に増幅することができる。そして、ある程度ノードn0, n1間の電圧が増幅された段階で、一対のトリステートインバータ21Z, 21Xからなる再書き込み用の増幅回路を活性化させてグローバルビット線GBLZ, GBLXを駆動する。その為、トリステートインバータ21Z, 21Xは十分に電圧差がついた入力信号が与えられ、高速で安定した動作となる。

【0041】また、書き込み動作時には、図示しない書き込みアンプから書き込み信号を供給する時に、トランスファークロップTN6, 7をオフ状態にして読み出し用のセンスアンプ回路20Z, 20Xを分離し、再書き込み用の増幅回路21Z, 21Xを動作させる。こうすることで、読み出し用のセンスアンプ回路との競合をさけることができ、高速書き込みが可能になる。

【0042】図12は、かかる第二の実施の形態の詳細なメモリの回路図である。図7と同じ部分には同じ符号を付しているの、その部分についての説明は省略する。尚、図中丸印を付したトランジスタはPチャネルMOSトランジスタである。

【0043】図12では、図11で説明した一対のCMOSインバータ20Z, 20Xは、PチャネルトランジスタTP0, TP1及びNチャネルトランジスタTN0, TN1で構成される。また、一対のトリステートインバータ21Z, 21Xは、トランジスタTP2, TP3, TN2, TN3とトランジスタTP4, TP5, TN4, TN5から構成される。そして、このトリステートインバータは、センスアンプ回路の活性化クロックNSA, PSAに加えて、制御クロックφ1X, φ1Zによって制御される。その基本的な動作は、制御クロ

ックφ1X, φ1ZがH, Lレベルの時、それぞれの出力端子がハイインピーダンス状態になり、一方制御クロックφ1X, φ1ZがL, Hレベルの時は、入力端子のレベルに応じたHまたはLレベルの出力電圧が出力される。

【0044】図13は、図12の回路のローカルビット線LBLZ00に属するメモリセルの”1”を読み出す動作を説明するための信号波形図である。／RAS信号がHレベルの間にグローバルビット線が基準電圧VRにプリチャージされた後、ローカルビット線選択信号φs0が立ち上がり、ワード線WL0が電源電圧より高いレベルに立ち上がる。そして、グローバルビット線間にある程度の差電圧が生じた時に、センスアンプ活性化信号のNSA, PSAがそれぞれ立ち下がり及び立ち上がり、ノードn0, n1間に増幅された電圧差が生じる。ここまでは、図7、8で示した第一の実施の形態の場合と同じである。

【0045】その後は、ノードn0, n1にある程度の電圧差がついてから、制御クロックφ1X, φ1Zがそれぞれ立ち上がり、立ち下がる。その結果、再書き込み用アンプ21Z, 21Xが活性化され、グローバルビット線とそれに接続されるローカルビット線が駆動される。

【0046】この第二の実施の形態では、第一に、ノード端子n0, n1間に増幅された電圧差が生じる過程では、それらの端子にはグローバルビット線が接続されていないので、その増幅動作は高速に行なわれる。

【0047】更に第二に、この活性化信号NSA, PSAが基準電位VRからそれぞれLレベル、Hレベルに変化してインバータ20Z, 20Xで構成される読み出し用のセンスアンプ回路が増幅動作を行なうことに遅れて、制御クロックφ1X, φ1Zの立ち下がり、及び立ち上がりによりトリステートインバータ21Z, 21Xの再書き込み用アンプを動作させる。こうすることで、読み出し動作を更に安定化し、高速化させることができる。即ち、制御クロックφ1X, φ1Zにより出力がハイインピーダンス状態にある場合は、読み出し用のセンスアンプ回路の出力端子n0, n1にある程度の電圧差が生じてコラムゲートを開いても、データバス線からグローバルビット線GBLに再書き込み用アンプを通じてディスタブがかからない。従って、その分コラムゲートの選択を早い時期に行なうことができる。事実、図13中では、コラムゲート選択信号CLは非常に早い時期から立ち上がっているのが理解される。

【0048】第三に、ノード端子n0, n1間にある程度十分な差電圧がついてから再書き込み用アンプが活性化されるので、その再書き込み動作は安定している。再書き込み動作時に、グローバルビット線やローカルビット線に、例えばビット線間のノイズやセルプレートを介してのノイズが付加されたとしても、再書き込みの誤動

作を招く可能性は極めて低い。

【0049】図14は、同じメモリセルに対して”0”書き込みを行なう場合の動作を説明するための信号波形図である。スタンバイ期間で基準電圧VRにプリチャージして通常の読み出し動作と同じ動作がされるのは、第一の実施の形態と同じである。但し、書き込み動作であるため、ワード線が立ち上がりセンスアンプ回路によりグローバルビット線とローカルビット線に電源電圧電位とグラウンド電位が発生するまでは、コラムゲートは開かれない。そして、図14中の時間t1のタイミングで、センスアンプ回路内のトランスファークロップTN6, 7を非導通にするために制御信号φ2Xを立ち下げて、読み出し用のアンプと再書き込み用のアンプとを分離する。そして、コラムゲート選択信号CLを立ち上げてコラムゲート（図示せず）を開き、図示しない書き込みアンプから再書き込み用のアンプ21Z, 21Xを介してビット線に書き込み信号を供給する。この時、読み出し用のアンプ20X, 20Xから分離されているので、書き込みアンプと読み出し用のアンプとの間で信号の競合が生じない。従って、高速に書き込みを行なうことができ、またその分再書き込みアンプの消費電流を少なくすることができる。尚、制御信号φ2Xは、書き込み制御信号/WEとコラム選択信号CLとから生成される制御クロックである。

【0050】〔第三の実施の形態〕図15は、図11、12に示した読み出し用アンプ20Z, 20XをNチャネルMOSトランジスタのみにより構成し、両方のグローバルビット線の電位を利用して読み出しセンス増幅を行なうようにした例である。即ち、図12で示したセンスアンプ回路のPチャネルMOSトランジスタTP0, TP1をNチャネルMOSトランジスタTN8, TN9に置き換え、その置き換えたトランジスタのゲートに、相手側のグローバルビット線を接続するようにする。こうすることで、読み出し用アンプを構成する二つのインバータ回路TN0, TN8及びTN1, TN9は、差動信号である2本のビット線によってそれぞれのゲートが駆動されるので、より安定して差電圧を検出することができる。また、ノードn0, n1をゲート信号とし、活性化信号PSHをソースとし、トランジスタTP5, TN4のゲート及びトランジスタTP3, TN2のゲートをドレインとするトランジスタTP6, TP7は再書き込み時にTP3, 5に流れるDC電流を無くす為のトランジスタである。それ以外の動作は、図12の場合と同じであるので、ここでの説明は省略する。

【0051】〔第四の実施の形態〕上記の実施の形態では、センスアンプ回路を2本のグローバルビット線のピッチ幅Lに整合させてレイアウトさせている。しかしながら、将来さらなる大容量化、微細化が進み、一方でセンスアンプ回路が複雑化した場合は、2本のグローバルビット線のピッチ幅Lでは不十分な場合が生じる。その場

合は、図16に示した様に、4本のグローバルビット線のピッチ幅内にセンスアンプ回路を配置させることが好ましい。但し、この場合には、2組のビット線対に対して1個のセンスアンプ回路という関係になるので、センスアンプ回路の両側にビット線選択トランジスタBLTを設け、いずれか一方のビット線対を選択クロックBLT0, BLT1で選択する必要がある。従って、ビット線選択クロックBLT0によりグローバルビット線GBL0, GBL2が選択されると、その間に配置されるグローバルビット線GBL1は選択されずにプリチャージレベル（VR）のまま保持される。その為、選択されたグローバルビット線GBL0, 2, 及びGBLX0, 2の間で生じる相互干渉ノイズを非選択グローバルビット線により低減することができる。

【0052】上記の第一、第二の実施の形態では、2本のグローバルビット線のピッチとセンスアンプとを整合させた例を示したが、2本より多い複数本のグローバルビット線のピッチと整合させても良い。その場合は、例えば4本のグローバルビット線のピッチに整合させた場合は、例えば4列のセンスアンプ構成とすることもできる。

【0053】

【発明の効果】以上説明した通り、本発明によれば、階層ビット線方式のビット線の構成にし、1本のグローバルビット線に対してその下層に2本のローカルビット線を配置させることができ、大容量化の要求から求められるメモリセルの密度とビット線密度によっても、上層のグローバルビット線のピッチと整合することができる。また、一対のグローバルビット線の差電圧を増幅するオープンビット線方式であるので、読み出し動作をより安定にすることができる。更に、複数本のグローバルビット線のピッチ幅Lに整合してセンスアンプ回路のスペースを確保できるので、無理なく複雑な回路構成のセンスアンプ回路をレイアウトすることができる。しかも、上層のグローバルビット線を利用することで、2列に並んだセンスアンプ回路に対してグローバルビット線の立体交差を可能とする。

【0054】更に、センスアンプ回路を読み出し用のアンプと再書き込み用のアンプの構成とし、読み出し用アンプの出力端子をビット線から分離することで、より安定で高速の読み出し動作を行なうことができる。しかも、それに伴い消費電流も抑えることができる。

【図面の簡単な説明】

【図1】本発明の基本的なレイアウトを示す図である。

【図2】図1の拡大概略回路構成図である。

【図3】図1の拡大詳細回路構成図である。

【図4】ビット線の階層構造を概略的に示す断面図である。

【図5】ビット線の階層構造を概略的に示す平面図である。

【図6】ビット線の階層構造を概略的に示す断面図である。

【図7】具体的なメモリの回路図である。

【図8】図7の読み出し動作を説明するための信号波形図である。

【図9】図7の書き込み動作を説明するための信号波形図である。

【図10】図7のセンスアンプの簡略した回路図である。

【図11】第二の実施の形態のセンスアンプの簡略した回路図である。

【図12】第二の実施の形態の具体的なメモリの回路図である。

【図13】図12の読み出し動作を説明するための信号波形図である。

【図14】図12の書き込み動作を説明するための信号波形図である。

【図15】図12のセンスアンプを改良したセンスアンプの回路図である。

【図16】第四の実施の形態のメモリの概略回路図である。

【図17】従来のメモリの回路図である。

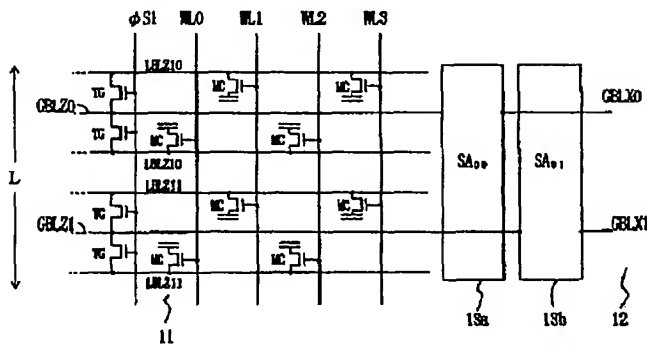
【図18】従来のメモリの概略回路図である。

【図19】本発明に対応する関連技術を用いたメモリの回路図である。

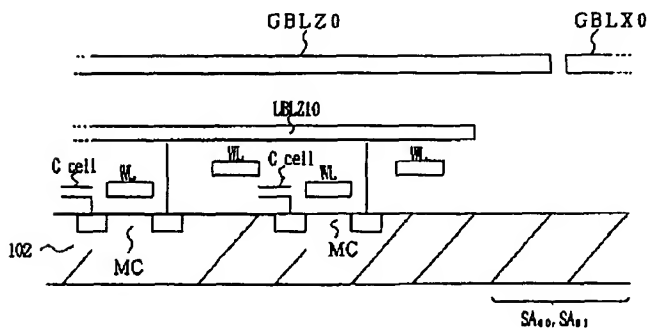
【符号の説明】

MC	メモリセル
WLx	ワード線
GBLZx, GBLZz	グローバルビット線
LBLZx, LBLXx	ローカルビット線
SAXx	センスアンプ
20Z, 20X	読み出し用アンプ
21Z, 21X	書き込み用アンプ

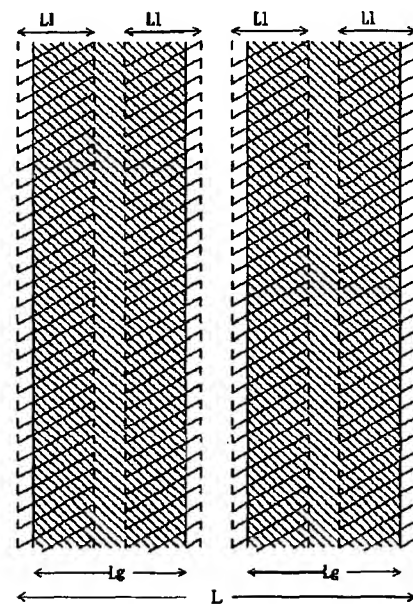
【図3】



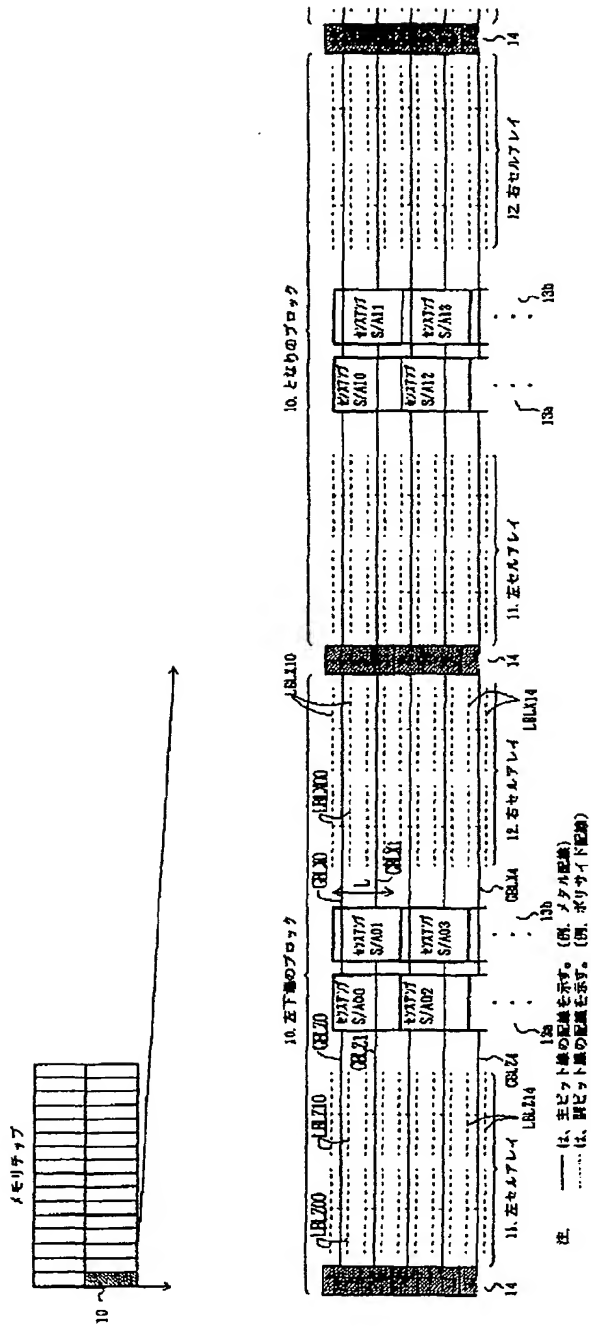
【図4】



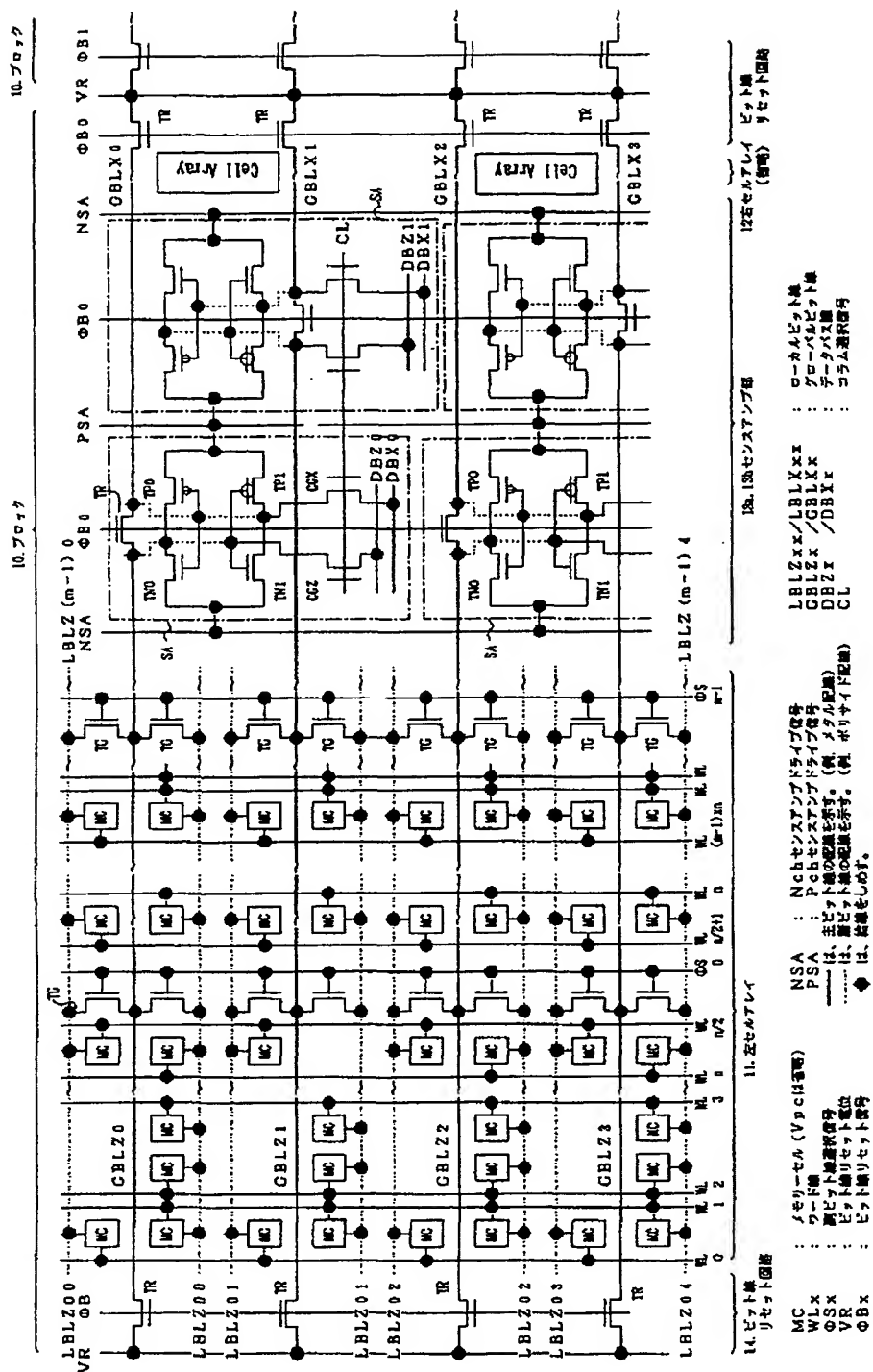
【図5】



【図1】



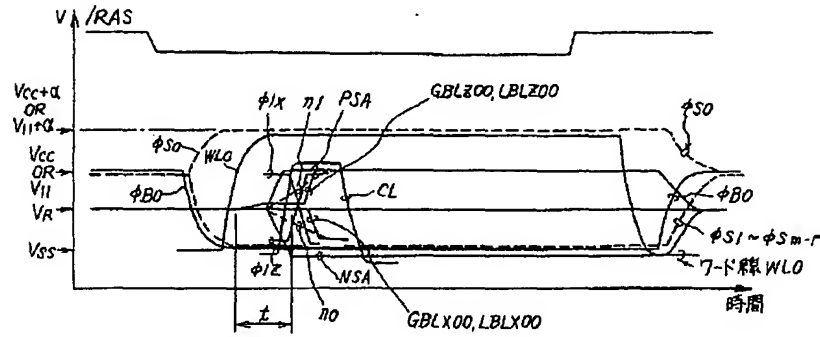
10. 70, 7



[illegible]

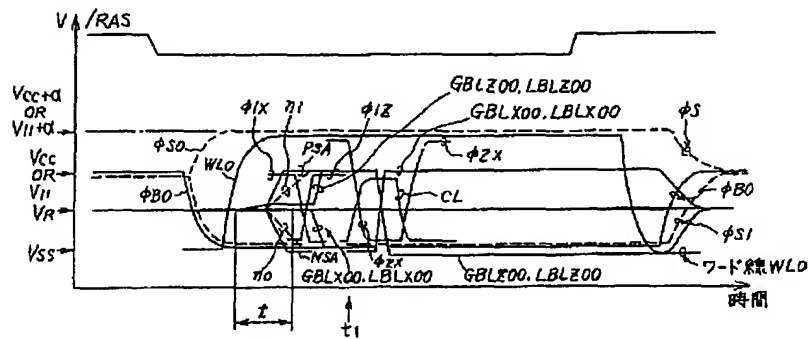
【図13】

図12の半導体記憶装置の動作を説明するための各信号波形を示す図('1'読み出し動作)



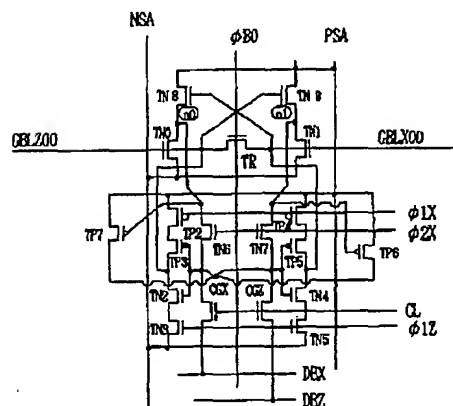
【図14】

図12の半導体記憶装置の動作を説明するための各信号波形を示す図('φ'書き込み動作)

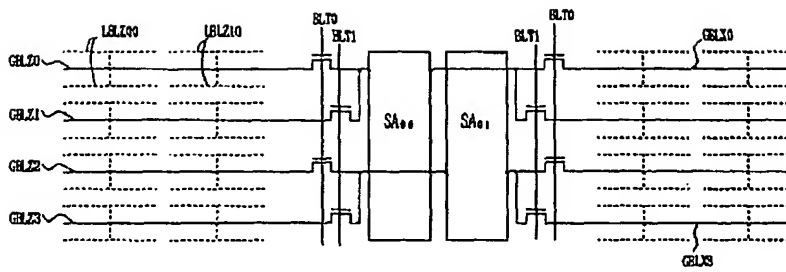


【図15】

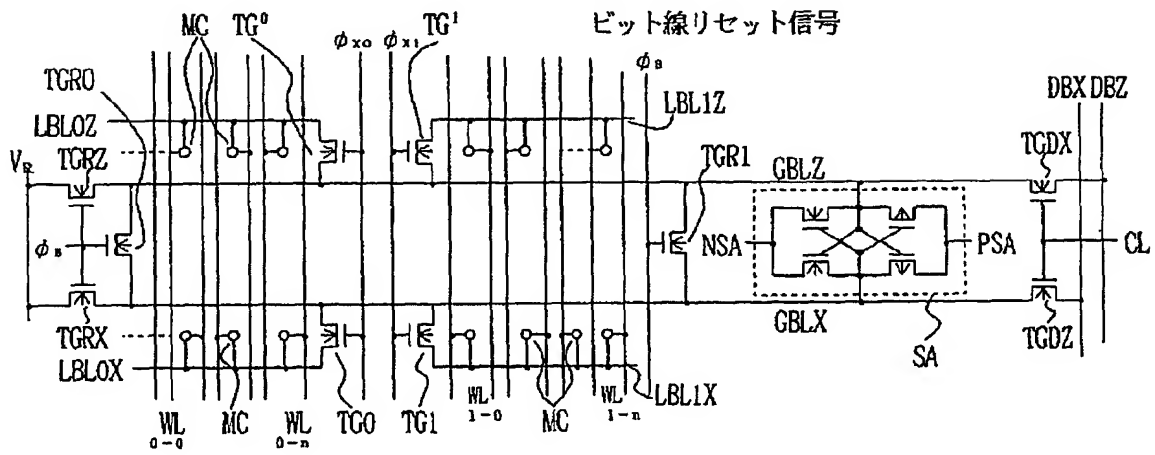
図12の読み出し用アンプをN_cL T₁のみで作った例



【図16】



【図19】



10. 70 7 7



【図18】

